

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-249429

(43)Date of publication of application : 04.09.1992

(51)Int.Cl. H04B 3/14
H03H 17/00
H03M 1/00

(21)Application number : 03-035094

(71)Applicant : FUJITSU LTD

(22)Date of filing : 06.02.1991

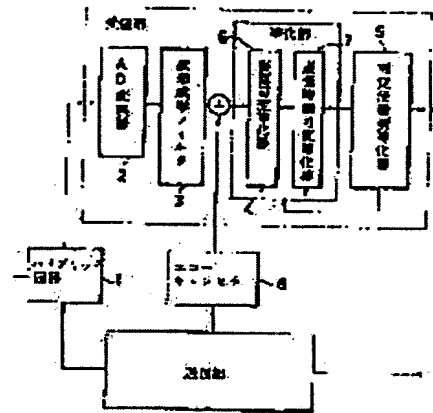
(72)Inventor : TSUNOISHI MITSUO

(54) DIGITAL DATA TRANSMISSION APPARATUS

(57)Abstract:

PURPOSE: To shorten convergent time for reducing a processing amount for equalizing a received signal and for obtaining the optimum timing in a digital data transmission apparatus that carries out bilateral transmission of digital data.

CONSTITUTION: The digital data transmission apparatus is provided with an equalizing section 4 consisting of an amplitude variable equalizer 6 and a delay time variable equalizer 7, or an equalizing section 4 unifying these equalizers, and based on the correlation between a discriminate output signal from a discriminate feedback type equalizer 5 and an error signal, digital data is successively calculated under the tap coefficient update control relating to precursor, main cursor, and postcursor, a variable coefficient of transfer function is obtained, a received signal is equalized, and the optimum timing is obtained for equalization.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-249429

(43) 公開日 平成4年(1992)9月4日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 3/14		8226-5K		
H 0 3 H 17/00	A	8731-5 J		
H 0 3 M 1/00		9065-5 J		

審査請求 未請求 請求項の数 7 (全 13 頁)

(21) 出願番号 特願平3-35094

(22) 出願日 平成3年(1991)2月6日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 角石 光夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

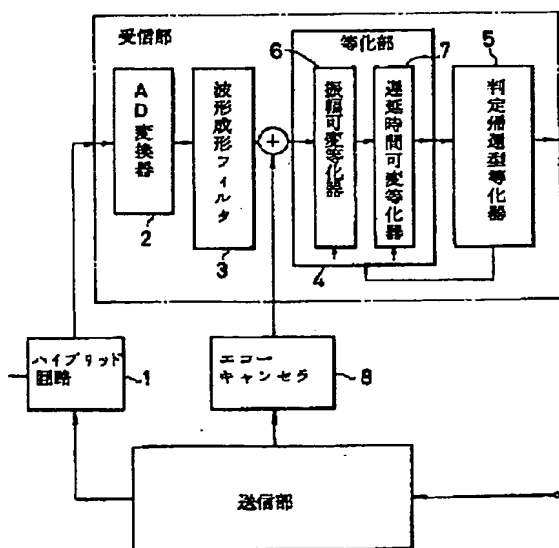
(54) 【発明の名称】 デジタルデータ伝送装置

(57) 【要約】

【目的】 本発明は、デジタルデータの双方向伝送を行うデジタルデータ伝送装置に関し、受信信号の等化の為に処理量を削減し、且つ最適タイミングを得る為の収束時間を短縮することを目的とする。

【構成】 振幅可変等化器6と遅延時間可変等化器7とからなる等化部4又はそれらの等化器を統合した等化部4を設け、判定帰還型等化器5の判定出力信号と誤差信号との相関に基づいて、プリカーソル、メインカーソル、ポストカーソルに関連するタップ係数更新制御により逐次的に算出して、伝達関数の可変係数を求めて、受信信号を等化し且つ最適タイミングを求めるものである。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 送信部と受信部とをハイブリッド回路(1)を介して2線回線に接続したデジタルデータ伝送装置に於いて、前記受信部は、受信信号をデジタル信号に変換するAD変換器(2)と、波形成形フィルタ(3)と、等化部(4)と、判定帰還型等化器(5)とを縦続接続した構成を有し、前記等化部(4)を、前記判定帰還型等化器(5)による判定出力信号と誤差信号とを基に、可変係数を適応的に更新する振幅可変等化器(6)と遅延時間可変等化器(7)とにより構成したこと

を特徴とするデジタルデータ伝送装置。

【請求項2】 前記振幅可変等化器(6)の伝達関数を、

$$-C_0 \cdot (1 - C_{+1} \cdot z^{-1})$$

(但し、 $z^{-1} = \exp(j2\pi fT)$ 、 f = 周波数、 T = ボーレート周期)とし、可変係数 C_0 、 C_{+1} について、それぞれメインカーソル、第1ポストカーソルに関連するタップ係数更新制御により逐次的に算出して制御する構成としたことを特徴とする請求項1のデジタルデータ伝送装置。

【請求項3】 前記遅延時間可変等化器(7)の伝達関数を、

$$C_{-2} + C_{-1} \cdot z^{-1} + z^{-2} + C_{+1} \cdot z^{-3}$$

とし、係数 C_{-2} を任意固定値とし、且つ可変係数 C_{-1} 、 C_{-2} について、それぞれ第2プリカーソル、第1プリカーソルに関連するタップ係数更新制御により逐次的に算出して制御する構成としたことを特徴とする請求項1のデジタルデータ伝送装置。

【請求項4】 前記等化部(4)の伝達関数を、

$$C_0 \cdot (C_{-2} + C_{-1} \cdot z^{-1} + z^{-2} + C_{+1} \cdot z^{-3} + C_{+2} \cdot z^{-4})$$

とし、可変係数 C_{-1} 、 C_{-2} 、 C_0 、 C_{+1} 、 C_{+2} について、それぞれ第2プリカーソル、第1プリカーソル、メインカーソル、第1ポストカーソル、第2ポストカーソルに関連するタップ係数更新制御により逐次的に算出して制御する構成としたことを特徴とする請求項1のデジタルデータ伝送装置。

【請求項5】 前記波形成形フィルタ(3)の後に伝達関数が $(1 - z^{-1})$ のハイパスフィルタを接続し、該ハイパスフィルタの出力信号に含まれるエコー成分をエコーキャンセラ(8)により除去して前記等化部(4)に

入力する構成とし、該等化部(4)の伝達関数を、

$$[C_0 \cdot (C_{-2} + C_{-1} \cdot z^{-1} + z^{-2} + C_{+1} \cdot z^{-3} + C_{+2} \cdot z^{-4})] / (1 - a \cdot z^{-1})$$

とし、可変係数 C_{-1} 、 C_{-2} 、 C_0 、 C_{+1} 、 C_{+2} について、それぞれ第2プリカーソル、第1プリカーソル、メインカーソル、第1ポストカーソル、第2ポストカーソルに関連するタップ係数更新制御により逐次的に算出して制御する構成としたことを特徴とする請求項1のデジタルデータ伝送装置。

【請求項6】 前記判定帰還型等化器(5)からの誤差信号の絶対値和或いは二乗和と、第1プリカーソルに対応する係数 C_{-1} の値とを入力して収束判定を行う収束判定部を設け、該収束判定部に於いて収束判定するまで、前記AD変換器(2)に於けるサンプリング・タイミングを T/m (T = ボーレート周期、 $m = 4$ 以上の整数)宛ずらす構成としたことを特徴とする請求項1のデジタルデータ伝送装置。

【請求項7】 前記遅延時間可変等化器(7)の第1プリカーソルに対応する係数 C_{-1} と一定値 $k \cdot a$ との差を、判定閾値と比較し、クロック位相を制御する構成を設けたことを特徴とする請求項1のデジタルデータ伝送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタルデータの送受信を行うデジタルデータ伝送装置に関する。デジタル加入者線を用いて高速、多値のデジタルデータを双方向に伝送するデジタルデータ伝送装置に於いては、エコーキャンセラ、等化器、タイミング再生回路等が設けられており、処理量が少なく且つ収束時間を短くすることが要望されている。

【0002】デジタル加入者線により双方向にデジタルデータを伝送するシステムは、例えば、図5に示すように、加入者側の網終端装置(NT)51に単一或いは複数のデータ端末(TE)55が接続され、交換局側では、交換ネットワークスイッチ(NW)54に回線終端装置(LT)52が接続されて、回線終端装置52と加入者側の網終端装置51との間がデジタル加入者線53により接続され、2B1Q符号等の伝送符号によりデジタルデータの双方向伝送が行われる。

【0003】網終端装置51と回線終端装置52とはほぼ同一の構成を有するもので、従来は、例えば、図6又は図7に示す構成が知られている。図6に於いて、61はハイブリッド回路(H)、62は受信ローパスフィルタ(RLF)、63はAD変換器(A/D)、64は波形成形フィルタ(WSF)、65は加算器、66は等化器(EQL)、67は判定帰還型等化器(DFE)、68はデコーダ(DEC)、69はタイミング再生回路(TIM)、70はエコーキャンセラ(EC)、71はコーダ(COD)、72はDA変換器(D/A)、73は送信ローパスフィルタ(SLF)、74は二乗和算出部である。受信ローパスフィルタ、ハイブリッド回路、送信ローパスフィルタ以外の各部はそれぞれ集積回路化された論理回路により実現されるか、又はDSP(デジタル・シグナル・プロセッサ)等の演算機能により実現されている。又送信部は、コーダ71とDA変換器72と送信ローパスフィルタ73等を含み、又受信部は、受信ローパスフィルタ62、AD変換器63、波形成形フィルタ64、等化器66、判定帰還型等化器67、デ

3

コード68等を含んで構成されている。

【0004】ハイブリッド回路61は、送信部と受信部とをデジタル加入者線等の2線回線に接続する為のものであり、送信データは、コード71により送信符号の例えば2B1Q符号に変換され、DA変換器72により例えば4値のアナログ信号に変換され、送信ローパスフィルタ73により高調波成分が除去されて、ハイブリッド回路61を介してデジタル加入者線に送出される。その時、送信信号の一部はハイブリッド回路61を介して受信側に回り込んでエコー成分となる。

【0005】又受信信号はハイブリッド回路61から受信ローパスフィルタ62を介してAD変換器63に加えられ、タイミング再生回路69からのタイミング信号によりサンプリングされてデジタル信号に変換される。この場合、AD変換器としては、オーバーサンプリング形のものが良く使用される。そして、波形成形フィルタ64により、孤立波レスポンスのメインカーソルが生じる前の時間に一旦負極性となるような波形に形成されて加算器65に加えられる。この加算器65にはエコーキャンセラ70からの擬似エコー信号が加えられて、ハイブリッド回路61を介して送信信号の一部が回り込んだエコー成分が打ち消される。この加算器65を含めてエコーキャンセラと称することもできる。

【0006】等化器66はルートf等化器と称されるものであり、デジタル加入者線伝送システムでは、送信レベルは一定値であり、ケーブルの直流成分近傍の損失と高周波成分近傍の損失とは、ケーブルの種類に拘らず相関があるから、二乗和算部74により受信信号の一定時間内の振幅の二乗和を求め、その大きさから等化器66のパラメータを算出するものである。この等化器66によっても符号間干渉成分を充分に小さくできないので、判定帰還型等化器67が設けられている。

【0007】この判定帰還型等化器67は、例えば、32タップ等の多数のタップを有するトランスバーサルフィルタ部と、4値レベルを判定する判定部と、この判定部の入出力信号の差を誤差信号として出力する誤差算出部とを含み、判定部の判定出力信号はデコード68により多値信号から2値の受信データにデコードされる。又判定部からの判定出力信号と誤差算出部からの誤差信号eとがタイミング再生回路69に加えられてタイミング信号が再生され、このタイミング信号はAD変換器63に加えられる。又エコーキャンセラ70からは、誤差信号eと送信データとを基に擬似エコー信号が形成されて加算器65に加えられ、エコー成分の打ち消しが行われる。又加入者側の網終端装置(NT)の場合は、受信信号に同期したクロック再生を行う為に、タイミング再生回路69からクロック発生回路を構成する位相同期ループ(PLL)(図示せず)等へクロック制御データが加えられる。

【0008】又図7に於いて、図6と同一符号は同一部

4

分を示し、75は遅延時間可変等化器(DEQ)、76、77は係数変換部(KD、KE)であり、AD変換器63は一定周波数のタイミング信号が加えられて、受信信号をデジタル信号に変換するものである。又係数変換部76、77は、判定帰還型等化器67からの誤差信号eと判定出力信号とを用いて、遅延時間可変等化器75と等化器66とのパラメータを制御するものであり、遅延時間可変等化器75により最適タイミングで判定できるように制御することになる。

10 【0009】又図8は孤立波レスポンス説明図であり、AD変換器63の後段の波形成形フィルタ64は、オーバーサンプリングAD変換器に於ける第2デシメーションフィルタに相当するものであるが、このフィルタの通過域の特性を位相特性を含めて制御することにより、メインカーソルが生じる前に、一旦負極性となる波形とするものである。そして、 $t=0$ の振幅をメインカーソルとすると、それよりボーレート周期T前の点(-T)の振幅を第1プリカーソル、更にT前の点(-2T)を第2プリカーソルと称し、メインカーソルより後のT、2T、3T、...の点に於ける振幅を第1ポストカーソル、第2ポストカーソル、第3ポストカーソル、...と称するものである。この第1プリカーソルの値が零となるタイミングを最適タイミングとすると、それよりT後にほぼ振幅のピーク点のメインカーソルの値が得られることになる。

【0010】従って、図6に於けるタイミング再生回路69は、第1プリカーソル値が正極性の場合にはタイミングが遅れており、反対に負極性の場合にはタイミングが進んでいることが判るから、最適タイミングとなるように、即ち、第1プリカーソル値が零となるようにタイミング調整を行うことになる。又図7に於いては、係数変換部76に於いて判定出力信号と誤差信号eとを基に第1プリカーソルの値を算出して、遅延時間可変等化器75のパラメータを制御し、遅延時間を変えることにより、タイミング調整を行うものである。

【0011】

【発明が解決しようとする課題】等化器66は、最低でも2タップのトランスバーサルフィルタ構成を備え、図6に示す従来例に於いては、数種類の等化器の何れかを選択的に用いる構成となるから、等化器が用意されていない距離のデジタル加入者線の場合には、等化残が大きくなる。又図7に示す従来例に於いては、デジタル加入者線の距離に対応したパラメータ又は2タップの中の一方向のタップ係数は連続的に求まるが、そのパラメータから他方のタップ係数に変換する為の演算が必要となる。

【0012】又交換局側のマスタクロックがシステム全体の基準となり、加入者側の網終端装置(NT)では、交換局側の回線終端装置(LT)からの信号を受信して、この受信信号のタイミングに一致するように、位相

5

同期ループ (PLL) 等を含むクロック発生回路の周波数及び位相を制御する。そして、このクロック発生回路からのクロックを基に送信するから、回線終端装置 (LT) では、マスタクロックを用いてその位相のみを調整することにより受信処理できる。図6の構成に於いては、AD変換器63に於けるサンプリング・タイミングを調整することにより、前述の位相を調整できることになり、又図7の構成に於いては、遅延時間可変等化器75のパラメータを変えて遅延時間を調整し、前述の位相を調整することになるが、周波数を調整できないから回線終端装置 (LT) にのみ適用できる構成である。

【0013】回線終端装置 (LT) に於けるタイミングの最適化については、図6に示す構成の方が単純のように考えられるが、実際の回線終端装置 (LT) のタイミング調整は、双方向通信の状態で行わなければならないようなトレーニング方式により行われるから、エコーキャンセラ70と等化器66と判定帰還型等化器67とを同時に引込む必要があり、タイミングを変えると、総て新たな係数を求めることに相当し、引込みに要する時間が長くなる欠点があった。

【0014】又図7に示す構成に於いては、遅延時間可変等化器75の遅延時間を変えるものであるから、エコーキャンセラ70の引込みと別個に行うことが可能で、収束時間は大幅に短くなる。しかし、遅延時間可変等化器75のみでボーレート周期T又はその半周期 ($T/2$) をカバーする必要があるから、フィルタの次数をかなり高くする必要があり、構成が複雑化する欠点がある。なお、このフィルタの次数を高くしない場合は、波形歪が無視できなくなる問題がある。

【0015】又終端装置 (NT) のタイミング調整は、エコーキャンセラ70の係数を固定した状態で行うことができるから、回線終端装置 (LT) に比較して容易であるが、最適タイミングとなるまでは、プリカーソル値が零ではないことによる符号間干渉が生じるから、誤差が大きく、それによって、収束時間が長くなる欠点があった。本発明は、受信信号の等化の為の処理量が少なく、最適タイミングを得る為の収束時間を短くすることを目的とする。

【0016】

【課題を解決するための手段】本発明のデジタルデータ伝送装置は、図1を参照して説明すると、送信部と受信部とをハイブリッド回路1を介して2線回線に接続したデジタルデータ伝送装置に於いて、受信部は、AD変換器2と、波形成形フィルタ3と、等化部4と、判定帰還型等化器5とを連続接続した構成を有し、等化部4を、判定帰還型等化器5による判定出力信号と誤差信号とを基に、可変係数を適応的に更新する振幅可変等化器6と遅延時間可変等化器7とにより構成した。

【0017】又前記振幅可変等化器6の伝達関数を、 $C_0 \cdot (1 - C_{+1} \cdot z^{-1})$ とし、可変係数 C_0 、 C_{+1} につ

6

いて、それぞれメインカーソル、第1ポストカーソルに関連するタップ係数更新制御により逐次的に算出して制御する構成とした。

【0018】又前記振幅可変等化器6の後段に接続される遅延時間可変等化器7の伝達関数を $C_{-2} + C_{-1} \cdot z^{-1} + z^{-2} + C_{+1} \cdot z^{-3}$ とし、係数 C_{-2} を任意固定値とし、且つ可変係数 C_{-2} 、 C_{-1} について、それぞれ第2プリカーソル、第1プリカーソルに関連するタップ係数更新制御により逐次的に算出して制御する構成とした。

【0019】又前記振幅可変等化器6と遅延時間可変等化器7とを統合した等化部4の伝達関数を $C_0 \cdot (C_{-2} + C_{-1} \cdot z^{-1} + z^{-2} + C_{+1} \cdot z^{-3} + C_{+2} \cdot z^{-4})$ とし、可変係数 C_{-2} 、 C_{-1} 、 C_0 、 C_{+1} 、 C_{+2} について、それぞれ第2プリカーソル、第1プリカーソル、メインカーソル、第1ポストカーソル、第2ポストカーソルに関連するタップ係数更新制御により逐次的に算出して制御する構成とした。

【0020】波形成形フィルタ3の後段に、伝達関数が $(1 - z^{-1})$ のハイパスフィルタを接続し、このハイパスフィルタの出力信号に含まれるエコー成分をエコーキャンセラにより除去して等化部4に入力する構成とし、この等化部4の伝達関数を、 $C_0 \cdot (C_{-2} + C_{-1} \cdot z^{-1} + z^{-2} + C_{+1} \cdot z^{-3} + C_{+2} \cdot z^{-4}) / (1 - a \cdot z^{-1})$ とし、可変係数 C_{-2} 、 C_{-1} 、 C_0 、 C_{+1} 、 C_{+2} について、それぞれ第2プリカーソル、第1プリカーソル、メインカーソル、第1ポストカーソル、第2ポストカーソルに関連するタップ係数更新制御により逐次的に算出して制御する構成とした。

【0021】判定帰還型等化器5からの誤差信号の絶対値和或いは二乗和と、第1プリカーソルに対応する係数 C_{-1} の値とを入力して収束判定を行う収束判定部を設け、この収束判定部に於いて収束したことを判定するまで、前記AD変換器2に於けるサンプリング・タイミングを T/m (T =ボーレート周期、 $m=4$ 以上の整数) 宛ずらして、引込み処理を繰り返す構成とした。

【0022】又前記遅延時間可変等化器7の第1プリカーソルに対応する係数 C_{-1} と一定値 $k a$ との差 $(C_{-1} - k a)$ を、判定閾値と比較し、その比較結果に基づいてクロック位相を制御する構成を設けた。

【0023】

【作用】AD変換器2により受信信号はデジタル信号に変換され、波形成形フィルタ3によりメインカーソルの前に振幅が負極性となるように波形成形され、等化部4により伝送歪が等化され、判定帰還型等化器5により符号間干渉成分が除去される。この判定帰還型等化器5は、トランスバーサルフィルタ部と判定部と誤差算出部とを備えている公知の構成を有し、その判定部からの判定出力信号と、誤差算出部からの誤差信号との相関値を基に、等化部4を構成する振幅可変等化器6と遅延時間可変等化器7との可変定数を適応的に更新するもので、

7

振幅可変等化器6については、メインカーソル値に加えて、ポストカーソル値と相関の大きいパラメータを用い、又遅延時間可変等化器7については、例えば、第1プリカーソル値と第2プリカーソル値とに関連するパラメータを用いる。

【0024】又振幅可変等化器6の伝達関数を、 $-C_0$ ($1 - C_{+1} \cdot z^{-1}$) とし、可変係数 C_0 、 C_{+1} について*

$$h_{0,j+1} = h_{0,j} + \alpha \cdot a_{j-1} \cdot e_{j-1} \quad \cdots (a)$$

$$h_{-1,j+1} = h_{-1,j} + \alpha \cdot a_{j-1} \cdot e_{j-1} \quad \cdots (b)$$

$$h_{-2,j+1} = h_{-2,j} + \alpha \cdot a_j \cdot e_{j-1} \quad \cdots (c)$$

$$h_{+1,j+1} = h_{+1,j} + \alpha \cdot a_{j-1-2} \cdot e_{j-1} \quad \cdots (d)$$

と表すことができる。前述の伝達関数について、(a) 式により求まるタップ係数を C_0 とし、 $k=1$ とした (d) 式により求まるタップ係数を C_{+1} とすることができ。

【0025】又遅延時間可変等化器7の伝達関数を $C_{-2} + C_{-1} \cdot z^{-1} + z^{-2} + C_{+1} \cdot z^{-3}$ とし、係数 C_{-2} を任意固定値とし、且つ可変係数 C_{-2} 、 C_{-1} について、それぞれ第2プリカーソル、第1プリカーソルに関連するタップ係数更新制御を行うものであり、前述の伝達関数について、(a) 式により求まるタップ係数を C_0 とし、 $k=1$ とした (d) 式により求まるタップ係数を C_{+1} とし、(b) 式により求まるタップ係数に負符号を付けて C_{-1} とし、(c) 式により求まるタップ係数に負符号を付けて C_{-2} とすることができる。そして、(a) ~ (d) 式の右辺第2項が平均的に零に落ちつくように制御されて、判定タイミングの最適化が行われる。

【0026】又振幅可変等化器6と遅延時間可変等化器7とを統合した等化部4とし、その伝達関数を $C_0 \cdot (C_{-2} + C_{-1} \cdot z^{-1} + z^{-2} + C_{+1} \cdot z^{-3} + C_{+2} \cdot z^{-4})$ とし、可変係数 C_{-2} 、 C_{-1} 、 C_0 、 C_{+1} 、 C_{+2} について、それぞれ第2プリカーソル、第1プリカーソル、メインカーソル、第1ポストカーソル、第2ポストカーソルに関連するタップ係数更新制御を行うもので、この伝達関数について、(a) 式により求まるタップ係数を C_0 とし、(b) 式により求まるタップ係数に負符号を付けて C_{-1} とし、(c) 式により求まるタップ係数に負符号を付けて C_{-2} とし、 $k=1$ とした (d) 式により求まるタップ係数を C_{+1} とし、 $k=2$ とした (d) 式により求まるタップ係数を C_{+2} とすることができる。

【0027】又波形成形フィルタ3の後段に伝達関数が $(1 - z^{-1})$ のハイパスフィルタを接続して、高周波成分の減衰を補償し且つ孤立波レスポンスの裾引きを小さくする。この時、短距離ケーブルの場合には高周波成分の減衰が少なく、このハイパスフィルタにより過補償となるので、等化部4の伝達関数を、 $C_0 \cdot (C_{-2} + C_{-1} \cdot z^{-1} + z^{-2} + C_{+1} \cdot z^{-3} + C_{+2} \cdot z^{-4}) / (1 - a \cdot z^{-1})$ とし、ハイパスフィルタの特性を打ち消す。この場合の可変係数 C_{-2} 、 C_{-1} 、 C_0 、 C_{+1} 、 C_{+2} について、それぞれ第2プリカーソル、第1プリカーソル、メ

8

*て、それぞれメインカーソル、第1ポストカーソルに関連するタップ係数更新制御を行うもので、例えば、時刻 j に於けるメインカーソル、第1、第2のプリカーソル、第 k のポストカーソルに係わるタップ係数を、 $h_{0,j}$ 、 $h_{-1,j}$ 、 $h_{-2,j}$ 、 $h_{+1,j}$ とすると、時刻 $(j+1)$ のタップ係数は、ステップサイズを α とし、

$$\cdots (a)$$

$$\cdots (b)$$

$$\cdots (c)$$

$$\cdots (d)$$

インカーソル、第1ポストカーソル、第2ポストカーソルに関連するタップ係数更新制御により逐次的に算出する。又各可変係数 C_{-2} 、 C_{-1} 、 C_0 、 C_{+1} 、 C_{+2} は、(a) ~ (d) 式を用いて求めることができる。又係数 a はケーブル距離に関連するパラメータであり、引込み開始初期では $a=0$ とすることができる。

【0028】又収束判定部は、判定帰還型等化器5の判定出力信号と誤差信号との相関値を基に、収束したか否か判定し、収束していない時は、AD変換器2に於けるサンプリング・タイミングを、 T/m 宛ずらして引込み処理を繰り返し、収束したと判定した時は、AD変換器2に於けるサンプリング・タイミングを固定して、トレーニング完了とする。この場合の m は4以上の値とするものである。それによって、遅延時間可変等化器7等による引込みを高速化することができる。

【0029】又遅延時間可変等化器7の第1プリカーソルに対応する係数 C_{-1} と一定値 $k \cdot a$ との差と、判定閾値 THa とを比較器等により比較して、クロック位相を制御するもので、加入者側の網終端装置 (NT) に於ける受信判定タイミングを最適化することができる。

【0030】

【実施例】図2は本発明の第1の実施例のブロック図であり、11は2線4線変換を行うハイブリッド回路(H)、12は受信ローパスフィルタ(RLF)、13はAD変換器(A/D)、14は波形成形フィルタ(WSF)、15は加算器、16は振幅可変等化器(EQL)、17は判定帰還型等化器(DFE)、18はデコーダ(DEC)、19は遅延時間可変等化器(DEQ)、20はエコーキャンセラ(EC)、21はコーダ(COD)、22はDA変換器(D/A)、23は送信ローパスフィルタ(SLF)、24は比較器(CMP)、25はスイッチ、26は相関器、27は誤差評価部、28は収束判定部である。スイッチ25は、網終端装置(NT)の場合にオンとして、相関器26の出力信号と閾値 THa とを比較器24により比較し、+1, 0, -1のクロック制御データ ct をクロック発生回路(図示せず)に加えるものである。又送信部は、コーダ21とDA変換器22と送信ローパスフィルタ23等を含み、又受信部は、受信ローパスフィルタ12、AD変

換器13、波形形成フィルタ14、振幅可変等化器16、遅延時間可変等化器19、判定帰還型等化器17、デコーダ18等を含むものである。

【0031】送信データをコード21、DA変換器22、送信ローパスフィルタ23、ハイブリッド回路11を介してデジタル加入者線に送出する構成は従来例と同様である。又受信信号は、ハイブリッド回路11を介して受信ローパスフィルタ12に加えられ、高周波成分が除去されてAD変換器13に加えられ、デジタル信号に変換される。そして、波形形成フィルタ14によりメインカーソルの前に振幅が負極性となるような波形に成形されて加算器15に加えられ、エコーキャンセラ20からの擬似エコー信号が加えられて、エコー成分の除去が行われる。そして、振幅可変等化器16によりデジタル加入者線のケーブル特性が補正され、遅延時間可変等化器19によりタイミングが調整されて判定帰還型等化器17に加えらる。この判定帰還型等化器17は、前述のように、トランスバースフィルタ部と判定部と誤差算出部とを含み、例えば伝送符号が2B1Q符号の場合、+3、+1、-1、-3のレベル判定が行われ、且つその入力信号 y_j とその判定シンボル a_j との差 $(y_j - a_j)$ の誤差信号 e_j が出力される。なお、 j はボーレート周期 T 毎の時刻を示す。又判定帰還型*

$$h_{0,j+1} = h_{0,j} + \alpha \cdot a_{j-1} \cdot e_{j-2} \quad \dots (1)$$

により算出される。なお、 α は微小な正の数のステップサイズである。

【0034】同様に、時刻 j の第1プリカーソル、第2*

$$h_{-1,j+1} = h_{-1,j} + \alpha \cdot a_{j-1} \cdot e_{j-2} \quad \dots (2)$$

$$h_{-2,j+1} = h_{-2,j} + \alpha \cdot a_j \cdot e_{j-2} \quad \dots (3)$$

により算出される。又時刻 j の第 k 番目のポストカーソルに

$$h_{+k,j+1} = h_{+k,j} + \alpha \cdot a_{j-k-2} \cdot e_{j-2} \quad \dots (4)$$

により算出される。前記各式に於けるステップサイズ α は、各式に於いて同一の値とする必要はなく、又各式に於いて、総て $2T$ 前の誤差信号 e_{j-2} を用いた場合を示すが、(2)~(4)式に於いては、 $1T$ 前の誤差信号★

$$h_{0,j+1} = h_{0,j} + \alpha \cdot \text{sign}(a_{j-1} \cdot e_{j-2}) \quad \dots (5)$$

となる。

【0035】判定シンボル値 a_j と誤差信号 e_j との相関により各カーソルに係わるタップ係数を算出する方法のうち、少なくともポストカーソルに関しては、従来例の判定帰還型等化器の中のタップ係数を算出する為に使☆

$$H_a = C_0 \cdot (1 - C_{+1} \cdot z^{-1}) \quad \dots (6)$$

とし、遅延時間可変等化器19の伝達関数 H_p を

$$H_p = C_{-2} + C_{-1} \cdot z^{-1} + z^{-2} + C_1 \cdot z^{-3} \quad \dots (7)$$

とする。ここで、 $C_1 = -C_{-1}$ とするのが遅延時間可変等化器19として最良であるが、それ以外の値とすることも可能であり、例えば $C_1 = 0$ とすることもできる。

又(1)式により求まるタップ係数 $h_{0,j+1}$ を C_0 とし、(4)式で $k=1$ の場合に得られるタップ係数 $h_{+1,j+1}$ を C_{+1} とし、(2)式により求まるタップ係数 $h_{-1,j+1}$ に負符号を付けたものを C_{-1} とし、更に(3)式により求まるタップ係数 $h_{-2,j+1}$ に負符号を付けたものを C_{-2} とすることにより、タイミング位相に関して比較的広範囲にわたり振幅可変等化器16と遅延時間可変等化器19とを迅速に収束させることができる。

*化器17からの+3、+1、-1、-3の判定シンボル a_j はデコーダ18に加えられ、2値の受信データにデコードされる。

【0032】又相関器26により判定シンボル a_j と誤差信号 e_j との相関が求められ、少なくともメインカーソルと第1ポストカーソルとに係わるデータを含む信号 s_4 が振幅可変等化器16に加えられ、又少なくとも第1プリカーソルに係わるデータを含む信号 s_3 が遅延時間可変等化器19と収束判定部28とに加えらる。又誤差評価部27は、誤差信号 e_j の絶対値和又は二乗和により評価信号 s_2 を求めるもので、この評価信号 s_2 は収束判定部28に加えらる。又収束判定部28は収束していないと判定した時にAD変換器13のサンプリング・タイミングを T/m 宛変化させる信号 s_1 を出力するものである。なお、 m は4以上の値とし、例えば、 $m=8$ とすることができる。

【0033】前述のように、相関器26からの信号 s_3 、 s_4 により振幅可変等化器16及び遅延時間可変等化器19のタップ係数の更新が行われるものであり、例えば、時刻 j のメインカーソルに係わるタップ係数を $h_{0,j}$ とすると、時刻 $(j+1)$ のタップ係数 $h_{0,j+1}$ は、

※プリカーソルに係わるタップ係数を $h_{-1,j}$ 、 $h_{-2,j}$ とすると、

ルに係わるタップ係数を $h_{+k,j}$ とすると、

★ e_{j-1} を用いることもできる。又サインアルゴリズムのように、誤差やシンボル値に拘らず、1回の変化量をステップサイズ α に固定する方法もある。例えば、サインアルゴリズムの場合、(1)式は、

☆用されている方法を用いることができる。従って、判定帰還型等化器17と相関器26とを含めて判定帰還型等化器と称することもできる。

【0036】前述の振幅可変等化器16の伝達関数 H_a を

$$H_a = C_0 \cdot (1 - C_{+1} \cdot z^{-1}) \quad \dots (6)$$

$$H_p = C_{-2} + C_{-1} \cdot z^{-1} + z^{-2} + C_1 \cdot z^{-3} \quad \dots (7)$$

により求まるタップ係数 $h_{-2,j+1}$ に負符号を付けたものを C_{-2} とすることにより、タイミング位相に関して比較的広範囲にわたり振幅可変等化器16と遅延時間可変等化器19とを迅速に収束させることができる。

【0037】前述の(6)、(7)式で示す伝達関数を

有する等化器16, 19と、その後段の判定帰還型等化器17とが、(1)~(4)式を用いてタップ係数の更新を行うことにより、前述のように良好な収束結果が得られるものであり、これは、前記(1)~(4)式が受信信号の総てのカーソル点をカバーしており、タイミングが最適点から大幅(例えば、T/8程度以上)にずれていなければ、(1)~(4)式による演算処理でタップ係数の更新を繰り返す行くと、孤立波レスポンス(判定帰還型等化器17の中の判定部の入力点でみた)の全*

$$\begin{aligned} H_a \cdot H_p = & C_0 \cdot C_{-2} + C_0 \cdot (C_{-1} - C_{+1} \cdot C_{-2}) z^{-1} \\ & + C_0 \cdot (1 - C_{+1} \cdot C_{-1}) z^{-2} + C_0 \cdot (-C_{-1} - C_{+1}) z^{-3} \\ & + C_0 \cdot C_{+1} \cdot C_{-1} \cdot z^{-4} \quad \dots (8) \end{aligned}$$

となる。右辺の第1項を第2プリカーソルに対応させ、第2項を第1プリカーソルに対応させ、第3項をメインカーソルに対応させ、第4項を第1ポストカーソルに対応させると、前述の(1)~(4)式の対応付けができるが、第2項には主力の($C_0 \cdot C_{-1}$)以外に($C_0 \cdot C_{+1} \cdot C_{-2}$)が含まれており、又第3項には主力の C_0 以外に($C_0 \cdot C_{+1} \cdot C_{-1}$)が含まれ、又第4項には主力の($C_0 \cdot C_{+1}$)以外に($C_0 \cdot C_{-1}$)が含まれている。各項に於いて、主力以外の値が大きくなると収束し難くなる。例えば、最適タイミングから大きくずれていると、遅延量を大きく変化しなければならないので、 C_{-2} や C_{-1} の値が大きくなり、主力値以外の値が大きくなる。その結果、収束が遅くなる。

【0039】そこで、収束判定部28に於いて収束状況を判定し、収束していない場合は、AD変換器13に於けるサンプリング・タイミングを、例えば $m=8$ として、T/8ずらして、最適タイミングに近づけて再度引※

$$TH_p > s_3 > -TH_p \quad \dots (9)$$

$$TH_e > s_2 \quad \dots (10)$$

の両式を満足した時に収束したと判定するものである。

【0041】前述の(2)式によるタップ係数 $h_{-1,1+1}$ に負符号を付けて C_{-1} として用いる場合に、(8)式から判るように、 $-C_{-1}$ は正確にはプリカーソル値とは言えないものである〔即ち、正確なプリカーソル値は、 $-C_0 \cdot (C_{-1} - C_{+1} \cdot C_{-2})$ 〕が、収束した時には C_{-2} はほぼ零となるから、 $-C_{-1}$ はメインカーソル値を1とした時のプリカーソル値と見做すことができる。即ち、 $-C_{-1}$ は引込み開始の初期段階ではプリカーソル値と見做すことはできないが、収束状態に近づいた時点ではプリカーソル値と見做すことができる。このプリカーソル値を零とするようにタイミング調整を行うことにより、最適タイミングを得ることができる。

【0042】又網終端装置(NT)に於いては、タイミング調整を外部のクロック発生回路の周波数を変えることにより行うことができるから、前述の収束判定部28を用いることなく、(2)式により得られるタップ係数 $h_{-1,1+1}$ の値を或る複数周期(例えば、48T)に1回だけ取り出した値を h_{-1} とすると、その周期に従ってス

*カーソル点に於ける値を理想値に近づけることができるからである。この理想値とは、メインカーソルの点では1で、他のカーソル点では零であることを意味する。この理想値からずれていると、(1)~(4)式の右辺第2項が平均的に正又は負になり、その為に右辺の値が変化して最終的には右辺の第2項が平均的に零に落ちつくことにより、理想値に近づくことになる。

【0038】前述の(6)、(7)式の積を求めると、

※込み処理を行うものである。この結果、再び収束していないと判定された場合は更にT/8ずらして、最適タイミングからのずれを小さくすることを繰り返す。又収束したと判定された場合は、AD変換器13に於けるサンプリング・タイミングは固定され、トレーニングが完了する。即ち、大きなタイミングの調整はAD変換器13に於けるサンプリング・タイミングにより行い、最適タイミングに近づける調整は遅延時間可変等化器19により行うことができる。

【0040】収束判定部28は、相関器26からの第1プリカーソルに係わるデータを含む信号 s_3 と、誤差評価部27からの誤差信号 e_1 の絶対値和又は二乗和の評価信号 s_2 とを基に収束したか否かを判定するものであり、プリカーソル値と誤差とは収束した場合にその絶対値が小さくなるから、判定閾値を TH_p 、 $-TH_p$ 、 TH_e とすると、

$$\dots (9)$$

$$\dots (10)$$

イッチ25をオンとし、定数 ka との差を正の閾値 TH_a と比較器24により比較し、クロック制御データ ct によりクロックの位相 ϕ を Δ (正の微小値)だけ次に示すように調整する。

$$h_{-1} - ka > TH_a \quad \text{の時} \quad \phi \rightarrow \phi + \Delta$$

$$TH_a > h_{-1} - ka > -TH_a \quad \text{の時} \quad \text{変更せず}$$

$$-TH_a > h_{-1} - ka \quad \text{の時} \quad \phi \rightarrow \phi - \Delta$$

このようにしてクロック周波数を制御し、且つ遅延時間可変等化器19によるタイミング調整を行うことができる。ここで注意すべき点は、第1プリカーソル値を用いて、前述の条件でクロック位相 ϕ を制御することは、従来例に於いても実施されているが、本発明に於いては、第1プリカーソル値が必ずしも零になることを要求しないこと、及び評価値が厳密な第1プリカーソル値とは言えない値を用いていることである。

【0043】又前述の(4)式の $k=1$ とした時に、(6)式の C_{+1} の値を求める為に使用すると説明しているが、この(4)式は、判定帰還型等化器17の第1タップ係数を求める為にも使用している。又(6)式のC

13

C_{+1} と判定帰還型等化器17の第1タップ係数の両方とも、第1ポストカーソルを零にする為に用いられているから、(6)式の C_{+1} を第1ポストカーソルを零にするように収束させる時に、判定帰還型等化器17の第1タップ係数は常に零、即ち、この第1タップ係数を省略できることを示す。なお、判定帰還型等化器17の第1タップをそのままにして、(6)式の $C_{+1}=0$ にすることはできない。何故ならば、判定帰還型等化器17のタップ係数は、安定性確保の点からその絶対値が0.5を超えることは望ましくないが、 $C_{+1}=0$ とすると、ケーブル距離によっては0.5を超える場合が生じるからである。この為、 C_{+1} をケーブル距離に応じて、例えば、*

$$Hap1 = C_0 \cdot [C_{-2} + C_{-1} \cdot z^{-1} + z^{-2} + C_{+1} \cdot z^{-3} + C_{+2} \cdot z^{-4}]$$

... (11)

とした場合、(1)式により求まるタップ係数 $h_{0,1+1}$ を C_0 として使用し、又(2)式により求まるタップ係数 $h_{-1,1+1}$ に負符号を付けたものを C_{-1} とし、更に、(3)式により求まるタップ係数 $h_{-2,1+1}$ に負符号を付けたものを C_{-2} とし、(4)式で $k=1$ とした時に求まるタップ係数 $h_{+1,1+1}$ を C_{+1} として使用し、更に、(4)式で $k=2$ とした時に求まるタップ係数 $h_{+2,1+1}$ を C_{+2} として使用することにより、タイミング位相に関して、最適値からかなりずれた受信信号に対しても良好に収束することができる。なお、(11)式に於ける可変係数は、(6)、(7)式に於ける可変係数と異なるものであるが、同一符号で表している。

【0045】伝送特性可変等化器31のように、振幅可変等化器16と遅延時間可変等化器19とを統合し、 C_{+2} の係数を導入したことにより、判定帰還型等化器17の第2タップ係数を常時零にすることができ、この伝送特性可変等化器31の演算量を削減できるばかりでなく、判定帰還型等化器17の演算量も削減できる。但し、(11)式で $C_{+2}=0$ として、判定帰還型等化器1※

$$Hhp = 1 - z^{-1}$$

とする。このハイパスフィルタ33は、ポーレート周期T離れたサンプル値間の差をとる処理を行うものであるから、波形成形フィルタ14の機能を補足して、孤立波レスポンスの掘引きを小さくする作用がある。この掘引きは、極めてゆっくりと振幅が小さくなる状態であるから、1周期T前の振幅と現周期の振幅とは殆ど差がないことになり、従って、1周期前との差をとることにより、孤立波レスポンスの掘引きは大幅に小さくなる。

【0047】前述の掘引きは、ハイブリッド回路11を構成するハイブリッドトランスが直流遮断を行うことにより、伝送符号に直流分が含まれる場合に、図8に示すように、孤立波レスポンスは長い時間等にならない為に生じるもので、20T~40T後も無視できない程度の振幅が残存する場合がある。このような掘引き現象はハイブリッドトランスを介して回り込んだエコー成分の孤立波レスポンスについても同様に生じる。従って、従来

14

*0.0, 0.5, 0.75に設定して、判定帰還型等化器17の第1タップも使用することも可能である。

【0044】図3は本発明の第2の実施例のブロック図であり、図2と同一符号は同一部分を示し、31は伝送特性可変等化器(APEQL1)、s5は第1プリカーソルに係わるデータを含む信号、s6は第1プリカーソル、メインカーソル、第1ポストカーソルに係わるデータを含む信号である。この実施例に於ける伝送特性可変等化器31は、図2に示す構成に於ける振幅可変等化器16と遅延時間可変等化器19とを統合したものであり、その伝達関数Hap1を、

※7の第2タップを残すことは、 C_{+1} の場合程困難ではない。これは、ケーブル距離が変化しても、判定帰還型等化器17の第2タップの係数はそれ程大きく変化しないからである。又波形成形フィルタ14の関数によっては、 $C_{+2}=0$ も可能である。逆に(11)式の項数を増加して C_{+3} 、 C_{+4} の項を追加し、その代わりに判定帰還型等化器17の第3、第4タップの係数を削除することも可能である。又AD変換器13に於けるサンプリング・タイミングの調整及び比較器24からクロック制御データctを出力する動作は、前述の第1の実施例と同様であり、重複した動作説明は省略する。

【0046】図4は本発明の第3の実施例のブロック図であり、図2及び図3と同一符号は同一部分を示し、32は伝送特性可変等化器(APEQL2)、33はハイパスフィルタ(HPF)、s7は第1プリカーソル値に係わるデータを含む信号、s8は第1プリカーソル値、メインカーソル値、第1ポストカーソル値に係わるデータを含む信号である。波形成形フィルタ14の後段に接続したハイパスフィルタ33の伝達関数Hhpを、

... (12)

は、エコーキャンセラ20は例えば32タップのトランスバーサルフィルタと、1次のIIRフィルタ(Infinite Impulse Filter)とを用いて構成し、判定帰還型等化器17は、例えば、16タップのトランスバーサルフィルタと、1次のIIRフィルタとを含む構成とするのが普通であった。この掘引きを小さくすることにより、エコーキャンセラ20の前述のIIRフィルタは不要となり、更にトランスバーサルフィルタのタップ数も削減することができる利点がある。

【0048】又この実施例に於いて、(12)式に示す伝達関数を有するハイパスフィルタ33を設けたことにより、孤立波レスポンスの掘引き部分より前の部分に大きな影響を与えることになる。例えば、長距離ケーブルにより伝送された信号は、高周波成分が減衰されるので、ハイパスフィルタ33によりそれを補償することができるが、短距離ケーブルにより伝送された信号は、高

周波成分の減衰は少ないので、ハイパスフィルタ33により受信信号は過補償により歪みを受けることになる。従って、エコーキャンセラ20によりエコー成分が除去された後に、ハイパスフィルタ33の特性を打ち消す処理が必要となる。

【0049】そこで、振幅可変等化器16と遅延時間可*

$$H_{ap2} = \{C_0 \cdot (C_{-2} + C_{-1} \cdot z^{-1} + z^{-1} + C_{+1} \cdot z^{-1} + C_{+2} \cdot z^{-1})\} / (1 - a \cdot z^{-1}) \quad \dots (13)$$

とする。係数 C_{-2} 、 C_{-1} 、 C_0 、 C_{+1} 、 C_{+2} は、前述の場合と同様に、(1)～(4)式を用いて逐次的に算出する。又 a は、長距離ケーブルの場合は零で良く、短距離ケーブルの場合は1に近い値とする。即ち、距離に関連するパラメータである。又 C_0 もケーブル距離により変わるパラメータといえることができる。従って、初期段階では $a=0$ とし、或る程度の引込み処理が進行した段階で、 C_0 の値を調べて、その値が大きい場合、即ち、長距離の場合は $a=0$ のままとし、中位の場合、即ち、中距離の場合は、例えば $a=0.50$ とし、その値が小さい場合、即ち、短距離の場合は、例えば $a=0.75$ とすることができる。なお、(13)式に於ける可変係数は、(6)、(7)式に於ける可変係数とは異なるが、同一符号で表している。

【0050】又前述の伝送特性可変等化器32を設けたことにより、判定帰還型等化器17の第1、第2ポストカーソルに対応するタップ係数は零にすることができる。更に、長距離ケーブルの場合に $a=0$ とするものであるから、裾引きは短くなり、その振幅も小さく、又中距離ケーブルの場合でもかなり小さくなるから、判定帰還型等化器17のIIRフィルタを省略できないが、その減衰係数を固定とすることができる。例えば、IIRフィルタは振幅係数と減衰係数との二つのパラメータを持つが、減衰係数を、例えば0.92程度に固定しても誤差は大きくならないことになり、構成を簡単化することができる利点がある。

【0051】又プリカーソルについて、第1、第2プリカーソルのある場合について説明しているが、波形成形フィルタ14の関数を工夫するか、又は多少の誤差の増加を許容できる場合は、第2プリカーソルは無視できる場合が多くなる。その場合、前述のように、 $C_{-2}=0$ と置くことができる。又第1ポストカーソルを含めて、それ以降の任意数のポストカーソルを含めることも勿論可能である。又AD変換器13のサンプリング・タイミングの調整及び比較器24からのクロック制御データ ct によるクロック発生回路の作用等は、前述の第1、第2の実施例と同様であるから、重複する動作説明は省略する。

【0052】

【発明の効果】以上説明したように、本発明は、送信部と受信部とを2線4線変換を行うハイブリッド回路1を介してデジタル加入者線等の2線回線と接続したディ

*変等化器19とを統合したこの実施例に於ける伝送特性可変等化器32は、伝達関数 H_{ap2} の分母を z^{-1} に関して1次の関数にして、ハイパスフィルタ33による影響を補償する。又この伝達関数 H_{ap2} の分子は(11)式と同じにする。即ち、

デジタルデータ伝送装置に於いて、等化部4を振幅可変等化器6と遅延時間可変等化器7とにより構成し、そのパラメータを判定帰還型等化器5からの判定出力信号と誤差信号とを基に逐次的に求めるものであるから、処理量が少なくなり、それによってハードウェアの規模を縮小することができる。又エコーキャンセラ8や判定帰還型等化器5のタップ係数を求めるハードウェアと共用化できることによっても、ハードウェアの縮小を図ることができる利点がある。

【0053】又タイミング調整について、本発明は、遅延時間可変等化器7により最適タイミング位相から T/m 程度離れている場合でも収束することが容易であり、従って、AD変換器2に於けるサンプリング・タイミングを T/m 宛ずらすことにより、迅速に最適タイミングに収束させることができる。なお、遅延時間可変等化器7を備えていない従来例に於いては、例えば、 $\pm T/64$ 程度の位相範囲に調整しないと引込みができないものであるから、本発明によれば、収束時間を大幅に短縮できる利点がある。

【0054】又振幅可変等化器6と遅延時間可変等化器7とを統合した等化部4(図3の伝送特性可変等化器31)を設け、プリカーソル、メインカーソル、ポストカーソルに係わるデータを用いて、振幅及び遅延時間を制御することにより、フィルタの次数を同一として処理量を削減することができる。又判定帰還型等化器5のタップ数一つ減らすことが可能となるから、この点からも処理量を削減し、ハードウェアを縮小することができる利点がある。

【0055】又波形成形フィルタ3のポーレート周期 T の出力系列を入力とするハイパスフィルタを設けたことにより、孤立波レスポンスの裾引きを小さくして、その後段に於ける処理量を削減することができる。即ち、エコーキャンセラ8に必要とされていたIIRフィルタを省略することが可能となり、又判定帰還型等化器5のIIRフィルタも減衰係数を固定できることにより、処理量を削減できる利点がある。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の第1の実施例のブロック図である。

【図3】本発明の第2の実施例のブロック図である。

【図4】本発明の第3の実施例のブロック図である。

【図5】データ伝送システムの説明図である。

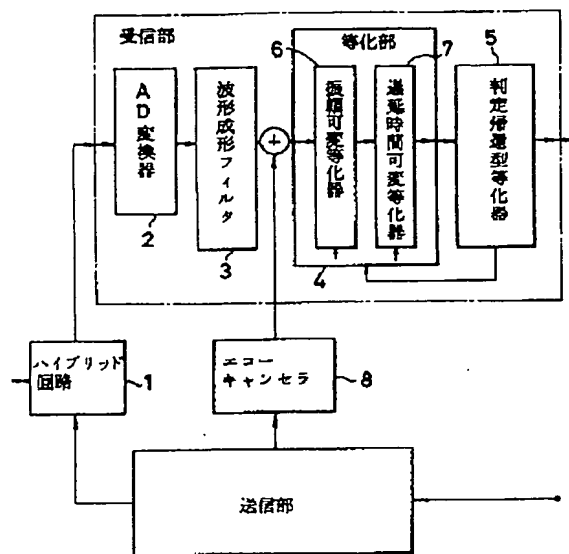
17

【図6】従来例のブロック図である。
 【図7】従来例のブロック図である。
 【図8】孤立波レスポンス説明図である。
 【符号の説明】

- 1 ハイブリッド回路
 2 AD変換器

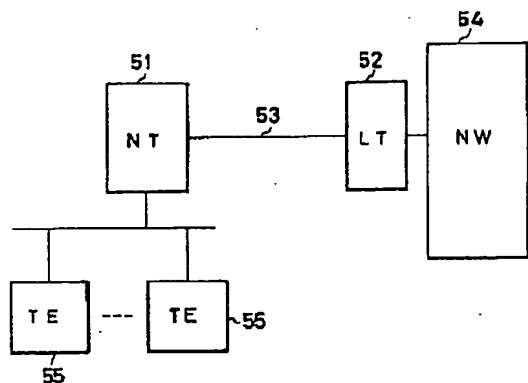
【図1】

本発明の原理説明図



【図5】

データ伝送システムの説明図

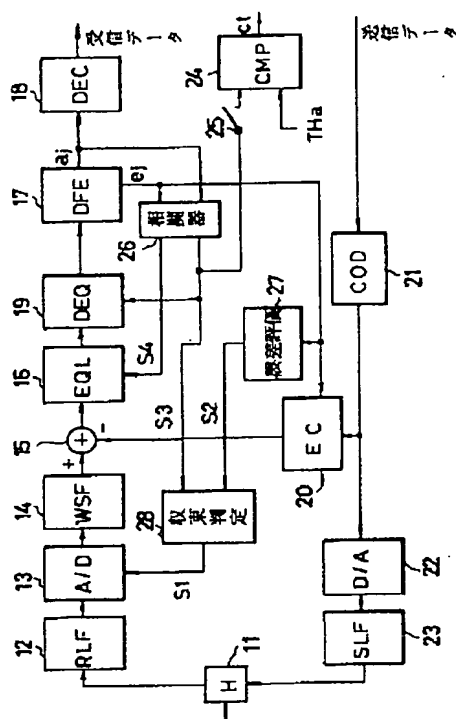


18

- 3 波形成形フィルタ
 4 等化部
 5 判定帰還型等化器
 6 振幅可変等化器
 7 遅延時間可変等化器
 8 エコーキャンセラ

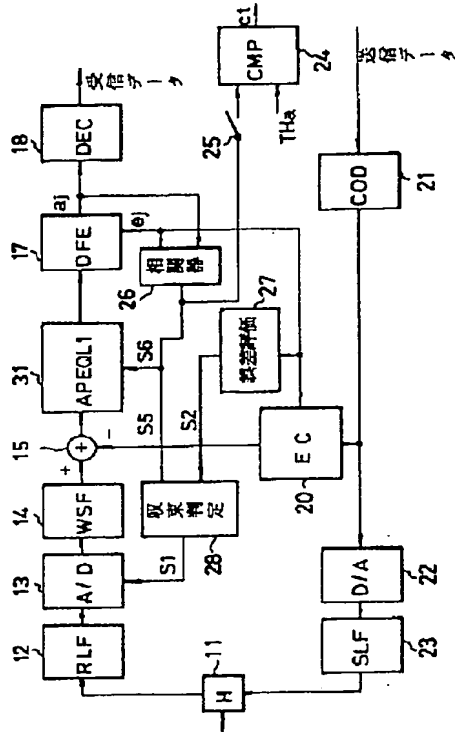
【図2】

本発明の第1の実施例のブロック図



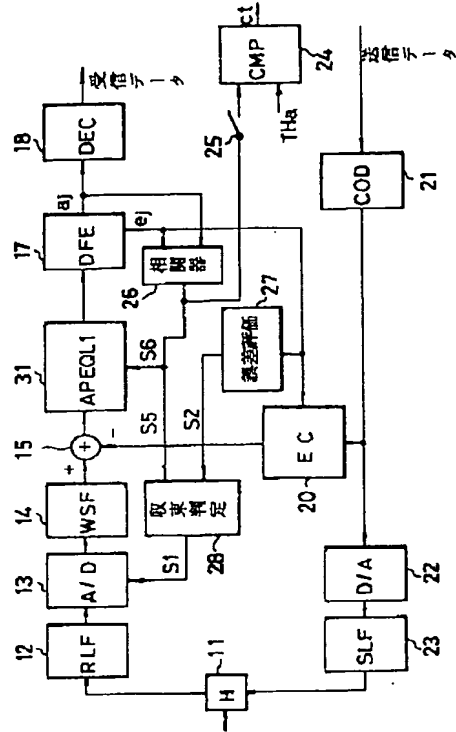
【図3】

本発明の第2の実施例のブロック図



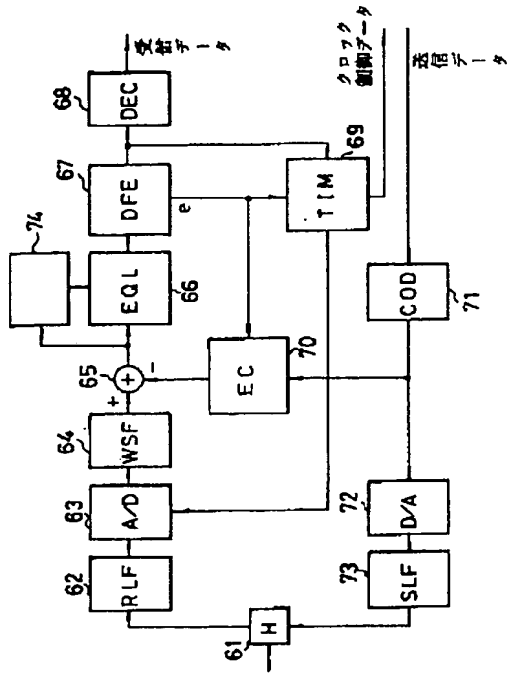
【図4】

本発明の第2の実施例のブロック図



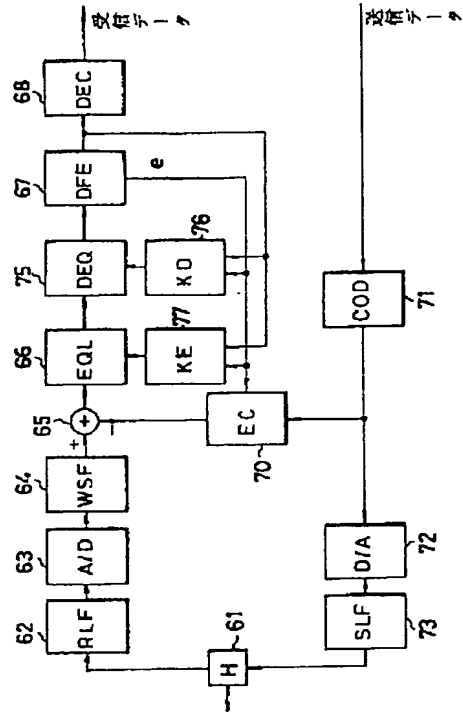
【図6】

従来例のブロック図



【図7】

従来例のブロック図



【図8】

孤立波レスポンス説明図

